

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

Patent Number: JP2058336
Publication date: 1990-02-27
Inventor(s): TOGAWA EIJI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP2058336
Application Number: JP19880209985 19880824
Priority Number(s):
IPC Classification: H01L21/336; H01L27/12;
EC Classification:
Equivalents:

Abstract

PURPOSE:To form a gate oxide film at a low temperature by implanting predetermined boron into the whole face of polycrystalline silicon, then activating it to oxidize the whole face by oxygen plasma, removing the unnecessary parts of an oxide film and the silicon, and forming a channel.

CONSTITUTION:Polysilicon is deposited 1000Angstrom on a glass board in a reduced pressure CVD furnace. Then, after boron is implanted 2×10^{13} cm into the whole face at 40keV by an ion implanting device, it is activated at 580 deg.C for 3 hours. Thereafter, oxygen plasma is generated by induction coupling type RF discharge, and it is anode-oxidized in the plasma. Subsequently, a channel is formed by a photoetching method. After it is patterned with negative resist, an oxide film is etched with aqueous solution of fluoric acid and a polysilicon film is etched with mixture solution of fluoric acid and ammonium fluoride. Then, a gate electrode is formed, boron is implanted 1×10^{15} cm on a whole face at 40keV by the ion implanting device, and a P-channel is formed. After the P- channel is covered with photoresist, phosphorus is implanted 3×10^{15} cm at 80keV, and an N-channel is formed.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-58336

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月27日

H 01 L 21/336
27/12
29/784

A 7514-5F

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 昭63-209985

⑰ 出 願 昭63(1988)8月24日

⑱ 発 明 者 戸 川 榮 司 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内
⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑳ 代 理 人 弁理士 上柳 雅 誉 外1名

明 細 書

1. 発 明 の 名 称

薄膜半導体装置の製造方法

2. 特 許 請 求 の 範 囲

(1) 絶縁性基板に多結晶シリコンを形成する工程と、

該多結晶シリコンの全面に $5 \times 10^{12} \text{ cm}^{-2}$ 以下のボロンを打ち込んだのち活性化する工程と、

多結晶シリコンをプラスにバイアスして酸素プラズマにより全面酸化する工程と、

フォトエッチ法により、酸化膜および多結晶シリコンの不要部を除去する工程、

により、チャネル部を形成することを特徴とする薄膜半導体装置の製造方法。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、プラズマアノード酸化によりゲート酸化膜を形成する方法に関する。

(従来の技術)

近年、液晶表示装置を中心として薄膜半導体の開発・商品化が進められている。

薄膜半導体としては、大きく分けてポリシリコンを用いるタイプと、アモルファスシリコンを用いるタイプの2つが挙げられる。

ポリシリコンを用いた薄膜半導体の特徴は1000℃以上の高温で熱酸化したSiO₂絶縁膜を得ることができ、また、MOSFET製造技術を適用しやすい利点があり、安定な特性を得やすい。

また、不純物の打ち込みにより、チャネルの導電型やしきい値電圧を選択できる。

さらに、キャリア移動度が $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 程度と大きいため、駆動回路を薄膜トランジスタと同一基板上に集積することも可能である。また、一般的にはポリシリコンは光に対して鈍感であり、遮光層を設ける必要がない。

ポリシリコン薄膜半導体はこれらの特徴をいかして、駆動回路内蔵型の液晶表示装置やアモルファスシリコン光電変換素子をオンチップ化した密着型ラインセンサーが開発・商品化されている。

アモルファスシリコンは、グロー放電等を用いてSiH₄から形成する。ゲート絶縁膜には酸化シリコンや窒化シリコンがよく使われるが、両者ともグロー放電を用いて作られることが多い。

アモルファスシリコンは化学的に安定で、薄膜トランジスタの製作にはフォトリソグラフィーが使用できる。暗抵抗が高いため、薄膜トランジスタのオフ抵抗を高くすることができる。キャリア移動度は0.1~1cm²/V・sと小さいが、アクティブマトリックスLCD用スイッチには使用できる。

アモルファスシリコントランジスタの製造プロセスは、全工程を通じて300℃以下の低温であり、安価なガラス基板を用いることが可能である。アモルファスシリコン薄膜半導体は、低温で薄膜を形成するため安価な大型基板を使用できるとい

- (2) 該多結晶シリコンの全面に 5×10^{18} cm⁻³以下のボロンを打ち込んだのち活性化する工程と、
 - (3) 多結晶シリコンをプラスにバイアスして酸素プラズマにより全面酸化する工程と、
 - (4) フォトエッチ方により、酸化膜および多結晶シリコンの不要部を除去する工程
- により、トランジスタのチャネル部を形成することを特徴とする。

(実施例)

以下に、本発明をセンサーと駆動回路をオンチップ化した密着型イメージセンサに応用した実施例に従って詳細に説明する。

ガラス基板に減圧CVD炉でポリシリコンを1000Å堆積する。ガラス基板としては、ホウケイ酸系の耐熱ガラスを用いた。次に、イオン打ち込み装置でボロンを全面に40KeVで 2×10^{18} cm⁻³打ち込んだ後、580℃で3時間活性化処理を行う。

次に、誘導結合型のRF放電を用いて酸素プラズマを発生させ、この酸素プラズマ中でアノード酸

う、主に製造上のメリットをいかして液晶カラーディスプレイを中心に実用化されている。

(発明が解決しようとする課題)

しかし、ポリシリコン薄膜半導体は前述のようにゲート酸化膜を高温で形成するため、基板に石英のような高価な材料を使用しなければならない。

そのため、基板の大型化は困難でありコストが高くなるという問題点があった。

一方、アモルファスシリコン薄膜半導体はゲートをグロー放電で形成するため熱酸化膜のような安定した特性は得られず、長期信頼性がよくないという問題点があった。

本発明は、このような問題点を解決するもので、その目的とするところは、ポリシリコン薄膜半導体のゲート酸化膜を低温で形成する製造方法を提供するところにある。

(課題を解決するための手段)

本発明の薄膜半導体の製造方法は、

- (1) 絶縁性基板に多結晶シリコンを形成する工程と、

化を行った。アノード酸化の方法は以下の通りである。反応器は内径60cm、均熱長さ80cmの石英ガラス管で、ロータリーポンプで0.01Torr以下まで排気した後、99.9%の酸素を流し、0.3Torrの圧力に保った。基板は、ポリシリコンを定電圧電源により+20Vを印加し、250℃に加熱した。この状態で反応器に13.56MHzの高周波電源を用い、出力を1.2KWとし、プラズマを発生させた。酸化は約5000Åまでは、ほぼ直線的に増加する。本実施例では、ゲート酸化膜を1200Åとした。

酸化膜の生成速度は、プラスにバイアスする電圧が高いほど、プラズマの出力が高いほど、また、基板の加熱温度が高いほど速くなる。

酸素圧力は、上記の項目と異なりある圧力で最大の酸化膜の生成速度が得られる。

特に、ゲート酸化膜の膜質は、基板の加熱温度により大きく左右される。150℃以下では絶縁耐圧が著しく低下し、また、300℃以上ではプラズマ反応の安定性が悪くなるため好ましくな

い。

望ましくは、 $230^{\circ}\text{C} \sim 280^{\circ}\text{C}$ である。

酸化膜の膜厚は 20 cm 角のガラス基板内で、 $\pm 5\%$ 以下であった。

次に、フォトリソ法によりチャンネル部を形成する。ネガレジストを用いてパターンニングした後、フッ酸の水溶液で酸化膜を、フッ酸とフッ化アンモニウムの混合液でポリシリコン膜をエッチングした。

つぎに、ゲート電極を形成した。ゲート電極としては、ポリシリコンを 3500 Å 堆積した後リンを熱拡散して低抵抗にしたものを使用した。電極パターンはフォトリソ法を用いた。ポリシリコンのエッチングは段差をテーパー形状にするため、 CF_4 と O_2 の混合ガスのプラズマで行った。

次に、イオン打ち込み装置でボロンを 40 KeV で $1 \times 10^{13}\text{ cm}^{-2}$ 全面に打ち込み、Pチャンネルを形成した。次に、Pチャンネル部をフォトリソでカバーしたのち、イオン打ち込み装置でリンを 80

通をとるため、層間絶縁膜をフォトリソ法で除去した。次に、トランジスタの導通とセンサーの上部電極の形成を兼ねて、 Al をスパッタ法で成膜し、フォトリソ法で電極を形成した。

次に、信頼性を確保するためにパシベーション層を形成した。パシベーション層は、 SiO_2 とポリイミドと SiO_2 の3層で形成した。 SiO_2 はスパッタ法で、ポリイミドはスピンコート法でそれぞれ形成した。

この様にして、ポリシリコンによるトランジスタで駆動回路を、アモルファスシリコンでセンサー部を形成したオンチップ型密着型イメージセンサを作ることができた。

トランジスタの特性を左右するのは、ポリシリコンの膜質とゲートの膜質であるが、ポリシリコンは従来方法でも比較的低温で形成するため膜質は実用上特に問題はない。一方、ゲート膜は従来方法の高温酸化による形成法と全く異なり低温で形成されるが、トランジスタ特性は何ら変化は認められなかった。本発明によるゲート酸化膜

KeV で $3 \times 10^{13}\text{ cm}^{-2}$ 打ち込みNチャンネルを形成した。

つぎに、フォトリソを剥離後、 600°C で3時間活性化処理を行った。次に層間絶縁膜として、常圧CVD炉で SiO_2 (NSG)を 8000 Å 形成し、フォーミングガス($\text{Ar} + 5\% \text{H}_2$)中で 500°C 1時間のアニールを行った。このアニール処理により、NSG膜のひずみを除去すると同時に、水素をポリシリコン中に拡散させてトランジスタ特性を向上させることができる。

次に、透明導電膜としてITO(SnO_2 をドーブした In_2O_3)をスパッタ法で形成し、フォトリソ法により下電極を形成した。次に、受光用センサーとしてプラズマCVD法によりアモルファスシリコン膜を形成した。このアモルファスシリコン膜はITO側から、 500 Å のP型アモルファス SiC_x 、 8000 Å のアモルファス Si 、 500 Å のN型アモルファス SiC_x の構造となっている。ここで、 x は0から1までの値をとるが、本実施例では x は約0.3であった。アモルファスシリコンをフォトリソ後、トランジスタと導

は、陽極酸化法で形成するため、酸化膜に不均一が生ずると、基板と表面層との間で電位差の分布が生じて薄い部分が優先的に酸化される。従って、酸化膜の均一性が自動的に良くなるという特徴を持っている。

(発明の効果)

本発明の効果を以下に示す。

- (1) ゲート酸化膜を低温で形成することができるため、基板に安価なガラスを使用することができ大型化により、コストが安くなる。
- (2) ゲート酸化膜の基板内の膜厚分布が均一であり、デバイスの特性が向上する。
- (3) 酸化膜を堆積するのではなく基板から成長させるため、プラズマ装置に汚染がなく、量産的に安定である。
- (4) トランジスタのチャンネル部にボロンをドーブしているため、特にNチャンネルに発生しやすいトランジスタのダメージによるシフトを防ぐことができる。

以上に述べたように、本発明は実用上極めて優れ

た発明であり、液晶テレビ、駆動回路内蔵型液晶ディスプレイ等薄膜トランジスタ応用デバイスに使用することが可能である。

以上

出願人 セイコーエプソン株式会社
代理人 弁理士 上柳 雅彦（他1名）